

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumitaka ARAI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA PROGRAM METHOD
THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

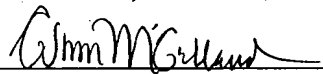
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-347799	November 29, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913 ,

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月29日

出 願 番 号

Application Number:

特願2002-347799

[ST.10/C]:

[JP2002-347799]

出 願 人

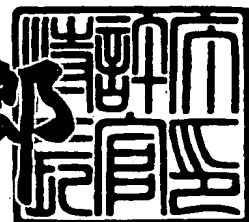
Applicant(s):

株式会社東芝

2003年 1月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3001347

【書類名】 特許願

【整理番号】 A000205354

【提出日】 平成14年11月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明の名称】 不揮発性半導体記憶装置及びそのデータ書き込み方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 荒井 史隆

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 清水 暁

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びそのデータ書き込み方法

【特許請求の範囲】

【請求項 1】 第 1 の方向に沿って形成された複数の配線と、

前記複数の配線それぞれに接続された、不揮発性メモリセルトランジスタを含むメモリセルと、

前記第 1 の方向と交差する第 2 の方向に沿って並ぶ前記不揮発性メモリセルトランジスタのゲート電極を各々接続するワード線と、

前記複数の配線それぞれに接続された駆動回路とを具備し、

前記駆動回路は、ベリファイ動作において前記不揮発性メモリセルトランジスタのしきい値を検知する検知回路と、

前記検知されたしきい値を記憶する記憶回路と、

前記記憶回路に記憶されたしきい値に基づき、前記ベリファイ動作に続く書き込み動作において前記配線の電位を 3 つ以上の電位に設定する電位設定回路と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記 3 つ以上の電位は、データ書き込みを禁止する書き込み禁止電位、データ書き込みを行う書き込み電位、及び前記書き込み禁止電位と前記書き込み電位との間の電位を持ち、書き込み量を抑制しながらデータ書き込みを行う書き込み抑制電位を含むことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記不揮発性メモリセルトランジスタのしきい値は、

前記ベリファイ動作において

前記不揮発性メモリセルトランジスタのゲート電極に与える電位、

前記配線に与える初期充電電位、

前記配線の電位を判定する判定基準電位、及び

前記配線の電位を判定する判定基準時間、

の少なくとももいずれか 1 つを変更し、前記ベリファイ読み出しを 2 回以上行つて検知されることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記記憶回路は、前記 2 回以上行つたベリファイ読み出しの

結果を記憶することを特徴とする請求項3に記載の不揮発性半導体記憶装置。

【請求項5】 前記不揮発性メモリセルトランジスタのしきい値は、前記ベリファイ動作において前記配線の電位が所定電位に達する時間に基づき検知されることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項6】 前記記憶回路は、前記配線の電位が前記所定電位に達した時間を記憶することを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 前記不揮発性メモリセルトランジスタのしきい値は、前記ベリファイ動作において所定時間経過時の前記配線の電位に基づき検知されることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項8】 前記記憶回路は、前記所定時間経過時の前記配線の電位を記憶することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項9】 前記3つ以上の電位は、各々個別に設定された離散値であることを特徴とする請求項2、3、5及び7いずれか一項に記載の不揮発性半導体記憶装置。

【請求項10】 前記書き込み抑制電位は、前記しきい値情報に基づき、前記書き込み禁止電位と前記書き込み電位とを結ぶ連続値から選ばれ、設定されることを特徴とする請求項2、5及び7いずれか一項に記載の不揮発性半導体記憶装置。

【請求項11】 前記メモリセルはNAND型セルであることを特徴とする請求項1乃至請求項10いずれか一項に記載の不揮発性半導体記憶装置。

【請求項12】 前記メモリセルはAND型セルであることを特徴とする請求項1乃至請求項10いずれか一項に記載の不揮発性半導体記憶装置。

【請求項13】 不揮発性メモリセルトランジスタにデータを書き込み、前記データが書き込まれた不揮発性メモリセルトランジスタのしきい値をベリファイし、この結果に基づき、

OKならばビット線の電位を、データ書き込みを禁止する書き込み禁止電位とし、

NGならば前記ビット線の電位を、前記不揮発性メモリセルトランジスタのしきい値に応じてデータ書き込みを行う書き込み電位、あるいは前記書き込み禁止

電位と前記書き込み電位との間にあり、書き込み量を抑制しながらデータ書き込みを行う1つ以上の書き込み抑制電位として前記不揮発性メモリセルトランジスタにデータを追加書き込みすることを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項14】 前記データを追加書き込みする際、ワード線電位を前記ベリファイ前のデータ書き込み時のワード線電位よりもステップアップすることを特徴とする請求項13に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項15】 前記ワード線電位のステップ幅は、前記書き込み電位と前記書き込み抑制電位との電位差の整数倍であることを特徴とする請求項14に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項16】 前記不揮発性メモリセルトランジスタのしきい値は、ワード線電位をベリファイ電位と異なる電位としてデータを読み出し判定されることを特徴とする請求項13に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項17】 前記ベリファイ電位とこのベリファイ電位と異なる電位との電位差は、前記書き込み電位と前記書き込み抑制電位との電位差と等しいことを特徴とする請求項16に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項18】 前記不揮発性メモリセルトランジスタのしきい値は、前記ビット線の電位を初期充電電位としてデータを読み出し、前記ビット線の電位が前記初期充電電位から所定電位に達した時間に基づき判定されることを特徴とする請求項13乃至請求項17いずれか一項に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項19】 前記不揮発性メモリセルトランジスタのしきい値は、前記ビット線の電位を初期充電電位としてデータを読み出し、所定時間経過時の前記ビット線の電位に基づき検知されることを特徴とする請求項13乃至請求項17いずれか一項に記載の不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は不揮発性半導体記憶装置に係わり、特に不揮発性半導体記憶装置へのデータ書き込みに関する。

【0002】

【従来の技術】

図1に典型的なNAND型EEPROMの電氣的接続図を示す。NAND型EEPROMはメモリセルとしてNAND型セルを有する。NAND型セルは、互いのソースとドレインを接続し、直列に並んだセルトランジスタで構成される。NAND型セルは、隣接するセルトランジスタどうしでソースとドレインを共用するのでビット線とセルとのコンタクトを減らすことができ、高密度化に適する。また、多数のセルトランジスタのゲートを、ワード線WLを介して同時に駆動するので、多数のセルトランジスタに対し、データを高速に書き込み／読み出すことが可能である。

【0003】

反面、NAND型EEPROMは、選択したセルトランジスタからデータを読み出すために、NAND型セル内の非選択のセルトランジスタは、全てオンさせなければならない。そのため、各セルトランジスタのしきい値は、一定の範囲内に制御される。例えば、しきい値が低すぎると、非書き込みセルとの分離できず、逆に高すぎると非選択セルとなった場合にオンすることができなくなるからである。

【0004】

セルトランジスタのしきい値を制御する一例として、ベリファイ動作付き書き込みのフローを図2に示す。ワード線WLに書き込みゲート電位 (V_{pgm}) を与えて書き込みを行った後、ワード線WLにベリファイ読み出しゲート電位 (V_{verify}) を与えて読み出しを行う。この時、書き込みを行っていない非選択のワード線WLには、十分に高い読み出しゲート電位 (V_{read}) が与えられ、非選択のセルトランジスタはオンしている。このような状態で、選択したセルトランジスタがオンした場合、セルトランジスタのしきい値が低すぎる、即ち書き込みが不十分と判定され、 V_{pgm} を所定の量 (ΔV_{pgm}) だけ上昇させて次の書き込みを行

う。この技術はステップアップ書き込みと呼ばれ、例えば、特許文献1、2、非特許文献1に記載されている。一方、選択したセルトランジスタがオフした場合、セルトランジスタのしきい値は十分高まったと判定でき、書き込みを終了させる。実際の書き込みはワード線WLを介した多数のセルトランジスタで同時に行っているため、書き込みの終了は後述する書き込み禁止状態へ変更することを表す。

【0005】

図3に上記NAND型EEPROMのデータ書き込み時のタイムチャートの一例を示す。図中のノード名は図1と統一してある。図1中のビット線BL_kを書き込みビット線、ビット線BL_{k+1}、BL_{k-1}を書き込み抑制ビット線とする。書き込み時は、ビット線側の選択トランジスタSG1のゲートに所定のゲート電位(V_{sg})を与える。次に、書き込みを行うビット線BL_kには十分低い電位(V_{BLpgm})を与える。V_{sg}は、V_{BLpgm}に対し、選択トランジスタSG1を十分オンできる電位に設定する。一方、書き込みを禁止するビット線BL_{k+1}、BL_{k-1}には、十分高い電位(V_{BLinhibit})を与える。V_{BLinhibit}は、選択トランジスタSG1が十分オフする電位に設定する。ビット線にV_{BLpgm}を与えた場合、選択トランジスタSG1がオンし、V_{BLpgm}がセルトランジスタに伝えられ、セルトランジスタのチャネル電位が十分低下して書き込みが行われる。一方、ビット線BLにV_{BLinhibit}を与えた場合、選択トランジスタSG1がオフし、セルトランジスタのチャネル電位が下がらず書き込みは行われない。この状態が書き込み禁止状態である。

【0006】

最初の書き込みの際には、書き込みを行うセルトランジスタに接続されたビット線BL_kにV_{BLpgm}を、書き込みを禁止するセルトランジスタに接続されたビット線BL_{k+1}、BL_{k-1}にV_{BLinhibit}をそれぞれ与えた後、ワード線WLにV_{pgm}を与える。続いてビット線BLを所定の初期充電電位に充電した後、ワード線WLにV_{verify}を与えてベリファイ読み出しを行う。セルトランジスタがオンしてビット線BLが放電された場合には、書き込みが不十分であるため次の書き込み時も書き込みを行う。一方、セルトランジスタがオフしてビッ

ト線BLが放電されなかった場合には、書き込みが十分であるため次回の書き込み時にはビット線BLの電位を $V_{BL\text{inhibit}}$ に変更し、書き込み禁止状態とする。書き込みが不十分と判定されたセルトランジスタに対しては、ワード線WLの電位を $V_{pgm} + \Delta V_{pgm}$ に増加させ、追加の書き込みを行う。このように、書き込みに続いてセルトランジスタのしきい値のベリファイを行い、その結果をもとに、次の書き込み時に書き込みを行うか禁止するかの制御を行う。これらの動作を、ワード線WLの電位を次第に上昇させながら全てのセルトランジスタの書き込みが終了するまで繰り返す。これにより、セルトランジスタのしきい値は、所望の範囲内に制御される。即ちセルトランジスタの最低しきい値が V_{verify} であり、書き込み終了後のしきい値分布幅は ΔV_{pgm} で決定される。このため、 V_{verify} を非書き込みセルに対して十分高く設定し、 $V_{verify} + \Delta V_{pgm}$ を、 V_{read} に対して十分低く設定すれば、所望のしきい値分布が得られる。セルトランジスタの書き込み時のしきい値分布の変化を図4に示す。

【0007】

【特許文献1】

特開平7-169284号公報

【0008】

【特許文献2】

米国特許第5,555,204号明細書

【0009】

【非特許文献1】

G.J.Hemink, T.Tanaka, T.Endoh, S.Aritome, and R.Shirota

"Fast and accurate programming method for multi-level NAND flash EEPROM's",

in SYMP. VLSI Technology Dig. Tech. Papers, June 1995, pp.129-130.

【0010】

【発明が解決しようとする課題】

図4で、セルトランジスタの書き込み特性バラツキが W_{vt} であったとすると、所望のしきい値分布を得るためには、以下の条件を満たさなければならない。

【0011】

・最初の書き込みWL電位：最も書き込み速度の早いセルが $V_{verify} + \Delta V_{pgm}$ 以上には書き込まれないこと

・最後の書き込みWL電位：最も書き込み速度の遅いセルが V_{verify} 以上に書き込まれること

この間書き込みWL電位を ΔV_{pgm} ずつ増加させていく必要があるため、全部のセルトランジスタの書き込みを行うための書き込み回数を N_{loop} とすると、 N_{loop} は次の式で示される。

【0012】

$$N_{loop} \geq W_{vt} / \Delta V_{pgm}$$

この式に示されるように、書き込み回数 N_{loop} は、セルトランジスタの書き込み特性バラツキ W_{vt} が大きいほど増加する。書き込み特性バラツキ W_{vt} は微細化に伴い大きくなりつつある。このため、微細化の進展に伴って書き込み速度が低下する、という事情が顕在化しつつある。

【0013】

また、書き込み回数 N_{loop} は ΔV_{pgm} を小さくするほど増加する。 ΔV_{pgm} を小さくすると、セルトランジスタのしきい値分布幅が細かく、かつ高精度に制御できる。これは、例えば、読み出し電位 V_{read} の低下や、多値メモリに有用な技術である。例えば、多値メモリは、読み出し電位 V_{read} 以下に複数のデータ順位を持つ。このため、多値メモリは、二値メモリに比較してセルトランジスタのしきい値分布幅をさらに細かに、かつ高精度に制御されなければならない。このように、セルトランジスタのしきい値分布幅が細かく、かつ高精度に制御しようとする、と、書き込み回数 N_{loop} が増え、書き込み速度が低下してしまう。

【0014】

この発明は上記事情に鑑み為されたもので、その目的は、高速な書き込み動作を行いつつ、かつ高精度なしきい値分布幅制御を可能とする不揮発性半導体記憶装置及びそのデータ書き込み方法を提供することにある。

【0015】

【課題を解決するための手段】

この発明の第 1 態様に係る不揮発性半導体記憶装置は、複数の配線と、前記複数の配線それぞれに接続された、不揮発性メモリセルトランジスタを含むメモリセルと、前記不揮発性メモリセルトランジスタのゲート電極を各々接続し、データを前記不揮発性メモリセルトランジスタから前記複数の配線に同時に読み出す読み出し回路と、前記複数の配線それぞれに接続された駆動回路とを具備する。そして、前記駆動回路は、書き込みベリファイ動作において前記不揮発性メモリセルトランジスタのしきい値を検知する検知回路と、前記検知されたしきい値を記憶する記憶回路と、前記記憶回路に記憶されたしきい値に基づき、前記書き込みベリファイ動作に続く書き込み動作において前記配線の電位を 3 つ以上の電位に設定する電位設定回路とを具備する。

【 0 0 1 6 】

この発明の第 2 態様に係る不揮発性半導体記憶装置のデータ書き込み方法は、不揮発性メモリセルトランジスタにデータを書き込み、前記データが書き込まれた不揮発性メモリセルトランジスタのしきい値をベリファイし、この結果に基づき、OK ならばビット線の電位を、データ書き込みを禁止する書き込み禁止電位とし、NG ならば前記ビット線の電位を、前記不揮発性メモリセルトランジスタのしきい値に応じてデータ書き込みを行う書き込み電位、あるいは前記書き込み禁止電位と前記書き込み電位との間にあり、書き込み量を抑制しながらデータ書き込みを行う 1 つ以上の書き込み抑制電位として前記不揮発性メモリセルトランジスタにデータを追加書き込みする。

【 0 0 1 7 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 1 8 】

(第 1 実施形態)

まず、この発明の第 1 実施形態に係る不揮発性半導体記憶装置が行う書き込み動作について説明する。図 5 A ～ 図 5 D はそれぞれ、第 1 実施形態に係る不揮発性半導体記憶装置が書き込み動作の際に行う電位制御の一例を示す図である。

【0019】

図5Aはビット線BLに書き込み電位 (V_{BLpgm}) を与え、ワード線WLに書き込みゲート電位 (V_{pgm}) を与えて、選択されたセルトランジスタ (以下選択セルと略す) に書き込みを行った場合を示す。この時、 V_{BLpgm} は、ビット線側の選択トランジスタSG1のゲート電位 (V_{sg}) よりも十分低く設定する。これにより、選択トランジスタSG1はオン状態となり、選択セルのチャネル電位が V_{BLpgm} まで下がり、選択セルには V_{pgm} で決定されるしきい値までデータが書き込まれる。次に、ベリファイ動作によって選択セルのしきい値をベリファイした後、ワード線WLの電位を所定の量 ($\Delta V_{pgm} \times 2$) 上昇させて、次の書き込み動作に移行する。この次の書き込み動作において、第1の実施形態では書き込み状態として3つの状態が選択される。

【0020】

(i) 書き込み状態

書き込み電位 V_{BLpgm} がビット線BLに与えられ、ステップアップされた書き込みゲート電位 $V_{pgm} + (\Delta V_{pgm} \times 2)$ がワード線WLに与えられる。この場合、選択セルには前回の書き込み同様に書き込みが行われ、そのしきい値はワード線電位の上昇分、即ち $\Delta V_{pgm} \times 2$ 上昇する。この状態を図5Bに示す。

【0021】

(ii) 書き込み抑制状態

書き込み抑制電位 $V_{BLpgm} + \Delta V_{pgm}$ がビット線BLに与えられ、ステップアップされた書き込みゲート電位 $V_{pgm} + (\Delta V_{pgm} \times 2)$ がワード線WLに与えられる。この時、ビット線側の選択トランジスタSG1が十分オン状態となるように、 $V_{BLpgm} + \Delta V_{pgm}$ 及び V_{sg} を設定する。この場合、選択セルには書き込みが行われるが、選択セルのチャネルには(i)の場合よりも $\Delta V_{pgm} \times 2 - \Delta V_{pgm} = \Delta V_{pgm}$ だけ高い電位が転送される。このため、ワード線電位の上昇分 $\Delta V_{pgm} \times 2$ のうち ΔV_{pgm} 分相殺され、その結果、選択セルのしきい値は ΔV_{pgm} 上昇する。この状態を図5Cに示す。

【0022】

(iii) 書き込み禁止状態

書き込み禁止電位 $V_{BL\ inhibit}$ がビット線 BL に与えられ、ステップアップされた書き込みゲート電位 $V_{pgm} + (\Delta V_{pgm} \times 2)$ がワード線 WL に与えられる。この時、ビット線側の選択トランジスタ $SG1$ はオフ状態となり、選択セルのチャネル電位は下がらず書き込みは行われない。その結果、選択セルのしきい値は上昇しない。この状態を図5Dに示す。

【0023】

上記 (i) ~ (iii) の3つの書き込み状態を選択することで、選択セルのしきい値上昇に対して、それぞれ “ $\Delta V_{pgm} \times 2$ ”、“ ΔV_{pgm} ”、“上昇無し” の3つの結果を期待することができる。

【0024】

次に、上記書き込み動作の間に行われるベリファイ動作の第1例について説明する。図6は、第1実施形態に係る不揮発性半導体記憶装置が行うベリファイ動作の第1例を示す流れ図である。

【0025】

図6に示すように、まず、ワード線 WL の電位を V_{pgm} として選択セルにデータを書き込む (ST.1)。

【0026】

書き込み終了後に、選択セルが満たさなければならない最低のしきい値を V_{verify} とする。この場合、まず、ワード線 WL の電位を $V_{verify} - \Delta V_{pgm}$ として選択セルからデータを読み出す (ST.2:ベリファイ1)。読み出しの結果、選択セルがオンし、ビット線 BL の電位が低下したとする。ビット線 BL の電位を低下させたセルをA群とする (if NG)。A群のセルのしきい値は $V_{verify} - \Delta V_{pgm}$ より低い。

【0027】

次に、ワード線 WL の電位を V_{verify} として選択セルからデータを読み出す (ST.3:ベリファイ2)。この時、選択セルに電流が流れ、ビット線 BL の電位を低下させたセルで、かつA群に含まれないセルをB群とする (if NG)。B群のセルのしきい値は $V_{verify} - \Delta V_{pgm}$ 以上であり、かつ V_{verify} より低い。A群及びB群のどちらにも含まれなかった残りのセルをC群とする。C群のセルのし

きい値は V_{verify} 以上である。この後、ワード線 WL の電位を $\Delta V_{pgm} \times 2$ 上昇させて、追加書き込みを行う (ST.4:追加書き込み)。追加書き込みの際、A群、B群、C群のセルを、それぞれ (i)、(ii)、(iii) の状態に対応させる。追加書き込み前後の状態について以下にまとめる。

【0028】

A群… (i) 書き込み状態：

- ・追加書き込み前のしきい値は $V_{verify} - \Delta V_{pgm}$ 以下
- ・追加書き込み中のしきい値上昇は $\Delta V_{pgm} \times 2$
- ・追加書き込み後のしきい値は $V_{verify} + \Delta V_{pgm}$ 以下
- ・追加書き込みで制御可能なしきい値幅は $\Delta V_{pgm} \times 2$

B群… (ii) 書き込み抑制状態：

- ・追加書き込み前のしきい値は $V_{verify} - \Delta V_{pgm}$ 以上、かつ V_{verify} より低い
- ・追加書き込み中のしきい値上昇は ΔV_{pgm}
- ・追加書き込み後のしきい値は V_{verify} 以上、かつ $V_{verify} + \Delta V_{pgm}$ 以下
- ・追加書き込みで制御可能なしきい値幅は ΔV_{pgm}

C群… (iii) 書き込み禁止状態：

- ・追加書き込み前のしきい値は V_{verify} 以上
- ・追加書き込み中のしきい値上昇は無し
- ・追加書き込み後のしきい値は追加書き込み前の状態を維持

上記書き込み動作時の電位制御、及び第1例に係るベリファイ動作にそれぞれ従った際の動作波形例を図7に示しておく。

【0029】

次に、ベリファイ動作の第2例について説明する。図8は、第1実施形態に係る不揮発性半導体記憶装置が行うベリファイ動作の第2例を示す流れ図である。上記第1例では、ワード線 WL の電位を $V_{verify} - \Delta V_{pgm}$ としてベリファイした後、ワード線 WL の電位を V_{verify} として再度ベリファイすることで、3つの書き込み状態 (i) ~ (iii) を判定した。3つの書き込み状態 (i) ~ (iii) は、ワード線 WL の電位を V_{verify} としてベリファイした後、ワード線 WL の電位

を $V_{verify} - \Delta V_{pgm}$ として再度ベリファイすることでも判定できる。本第 2 例はそのように判定する例である。

【 0 0 3 0 】

図 8 に示すように、まず、ワード線 W_L の電位を V_{pgm} として選択セルにデータを書き込む (ST.1)。

【 0 0 3 1 】

書き込み終了後に、ワード線 W_L の電位を V_{verify} として選択セルからデータを読み出す (ST.2: ベリファイ 1)。読み出しの結果、選択セルがオフし、ビット線 B_L が放電されなかった場合には追加書き込み前のしきい値は V_{verify} 以上であると判定し (if OK)、ビット線 B_L の電位を $V_{B_L inhibit}$ とする (ST.3: 書き込み終了)。選択セルがオンし、ビット線 B_L が放電された場合には、ビット線 B_L の電位の設定を次の読み出しの結果に委ねる (if NG)。

【 0 0 3 2 】

次に、ワード線 W_L の電位を $V_{verify} - \Delta V_{pgm}$ として選択セルからデータを読み出す (ST.4: ベリファイ 2)。読み出しの結果、選択セルがオフし、ビット線 B_L が放電されなかった場合には、追加書き込み前のしきい値は $V_{verify} - \Delta V_{pgm}$ 以上、かつ V_{verify} より低いと判定し (if OK)、ビット線 B_L の電位を $V_{B_L pgm} + \Delta V_{pgm}$ とする (ST.5: 書き込み抑制状態へ)。選択セルがオンし、ビット線 B_L が放電された場合には、追加書き込み前のしきい値は $V_{verify} - \Delta V_{pgm}$ 以下と判定し (if NG)、ビット線 B_L の電位を $V_{B_L pgm}$ とする (ST.6: 書き込み状態へ)。この後、ワード線 W_L の電位を $\Delta V_{pgm} \times 2$ 上昇させて、追加書き込みを行う (ST.7: 追加書き込み)。

【 0 0 3 3 】

上記書き込み動作時の電位制御、及び第 2 例に係るベリファイ動作にそれぞれ従った際の動作波形例を図 9 に示しておく。

【 0 0 3 4 】

本第 1 実施形態に係る不揮発性半導体記憶装置によれば、次のような利点を得ることができる。書き込みに掛かる時間を T_{pgm} 、ベリファイに掛かる時間を T_{verify} とする。これらの時間には電位が安定するまでの時間や、書き込み動作時

、ベリファイ動作時に電位が与えられるノードを初期状態に復旧する時間など、実際に動作パルスが発生させるために必要な全ての時間を含むものとする。図10に示すように、典型例 (Conventional) と第1実施形態 (Proposed) とを比較すると、第1実施形態では、書き込み電位を $\Delta V_{pgm} \times 2$ 上昇させるまでに、書き込み動作 (WRITE) が一回分少なくなる。このため、書き込み電位を $\Delta V_{pgm} \times 2$ 上昇させるまでの時間は、典型例に対して T_{pgm} 短くなる。これにより、高速な書き込み動作が行える。また、書き込み時の電位制御として書き込み抑制電位を設定するので、制御可能なしきい値幅は、 $\Delta V_{pgm} \times 2$ ではなく、 ΔV_{pgm} となる。これにより、しきい値幅の制御を、典型例と同等に高精度に行うことができる。しかも、電位制御はビット線BL毎に個別に行うので、しきい値分布幅制御を、セルトランジスタ一つ一つに対して高精度に行うことができる。

【0035】

また、ベリファイ動作をより詳細に説明すると、ワード線電位設定時間、ビット線プリチャージ時間、ビット線放電時間、ビット線電位センス時間、電位復旧時間の主に5つの時間からなる。ベリファイ動作の第2例に従った図9の動作波形図には、ベリファイ動作を二回の独立した読み出し動作としている。しかし、ワード線電位設定時間、及びビット線放電時間を適切に設定することにより、ビット線電位センス時間後に、ワード線電位のみを変更して、ビット線からの追加放電を行う一連の読み出しとして行うことも可能である。これは、ベリファイ動作の第1例に従った図7に示されている。故に、ベリファイ動作の第1例では、その第2例に比べて、ビット線プリチャージ時間、及び電位復旧時間をそれぞれ一回づつ少なくでき、より高速動作が可能となる、という利点がある。

【0036】

また、書き込み抑制状態では、選択ゲートSG1が十分オンするという状態さえ満たせば、ビット線電位を、さらに上昇させることが可能である。このため、例えば、追加書き込み時に、ワード線電位を $\Delta V_{pgm} \times 3$ ずつ上昇させたい場合は、書き込み状態として次の4つ選択することも可能である。

【0037】

(i) 書き込み状態

・ビット線電位 = V_{BLpgm}

(ii) 書き込み抑制状態 1

・ビット線電位 = $V_{BLpgm} + \Delta V_{pgm}$

(iii) 書き込み抑制状態 2

・ビット線電位 = $V_{BLpgm} + \Delta V_{pgm} \times 2$

(iv) 書き込み禁止状態

・ビット線電位 = $V_{BLinhibit}$

4つの書き込み状態 (i) ~ (iv) を判定するには、例えば、ワード線WLに与える電位を $V_{verify} - \Delta V_{pgm} \times 2$ 、 $V_{verify} - \Delta V_{pgm}$ 、 V_{verify} の3つとし、合計3回の読み出しを行えば良い。この場合、制御されるしきい値幅は典型例と同等に保ちながら、書き込み電位を $\Delta V_{pgm} \times 3$ 上昇させるまでの時間を、典型例に対して $T_{pgm} \times 2$ 短縮することが可能である。

【0038】

同様に、追加書き込み時に、ワード線電位を $\Delta V_{pgm} \times n$ ずつ上昇させたい場合には、書き込み状態として次の $n + 1$ 個を選択することも可能である。ただし、 n は1以上の整数である。

【0039】

(i) 書き込み状態

・ビット線電位 = V_{BLpgm}

(ii) 書き込み抑制状態 1

・ビット線電位 = $V_{BLpgm} + \Delta V_{pgm}$

(iii) 書き込み抑制状態 2

・ビット線電位 = $V_{BLpgm} + \Delta V_{pgm} \times 2$

...

(n) 書き込み抑制状態 $n - 1$

・ビット線電位 = $V_{BLpgm} + \Delta V_{pgm} \times n - 1$

(n+1) 書き込み禁止状態

・ビット線電位 = $V_{BLinhibit}$

$n + 1$ の書き込み状態 (i) ~ (n+1) を判定するには、例えば、ワード線WL

に与える電位を $V_{\text{verify}} - \Delta V_{\text{pgm}} \times (n-1)$ 、 $V_{\text{verify}} - \Delta V_{\text{pgm}} \times (n-2)$ 、…、 $V_{\text{verify}} - \Delta V_{\text{pgm}} \times 2$ 、 $V_{\text{verify}} - \Delta V_{\text{pgm}}$ 、 V_{verify} の n 個とし、合計 n 回の読み出しを行えば良い。この場合、制御されるしきい値幅は典型例と同等に保ちながら、書き込み電位を $\Delta V_{\text{pgm}} \times n$ 上昇させるまでの時間を、典型例に対して $T_{\text{pgm}} \times (n-1)$ 短縮することが可能である。

【0040】

以上、第1実施形態によれば、書き込み時のビット線に離散的な電位を設定可能なメモリにおいて、それぞれについて適切に設定されたベリファイ読み出しを行い、その結果によって次の書き込み時のビット線電位を決定させることにより、しきい値の制御精度の劣化を最低限に抑えながら、高速な書き込み動作が可能となる。あるいは、書き込み速度の劣化を最低限に抑えながら、しきい値制御精度を向上させることが可能である。

【0041】

本第1実施形態での書き込み時のビット線電位の上限は、選択ゲートSG1が十分オンすることの条件で与えられる。そのため、 ΔV_{pgm} が小さい場合、例えば、多値メモリのように、高精度のしきい値制御が必要な場合に、その利点をよりよく得ることが可能である。

【0042】

本第1実施形態では、ベリファイ時のワード線電位変動の最小量が、書き込み時のビット線電位変動の最小量と同一として説明したが、適切な校正法が規定され、書き込み時のビット線電位の上昇により抑制されるしきい値分と1対1に対応してさえいれば、上述した読み出し方法と異なるベリファイ手法を選択しても、この発明に係るしきい値制御の実現が可能であることは明らかである。

【0043】

例えば、選択セルのしきい値は、ベリファイ動作において選択セルのゲート電極に与える電位を変更する他、ベリファイ動作においてビット線に与える初期充電電位、ビット線の電位を判定する判定基準電位、及びビット線電位を判定する判定基準時間の少なくともいずれか1つを変更し、ベリファイ読み出しを2回以上行って検知することが可能である。また、これらベリファイ手法を様々に組み

合わせることも可能である。

【0044】

また、例えば、ベリファイ電位として負のワード線電位が必要になった場合、セルトランジスタの存在する基板あるいは共通ソース線に正バイアスを加えて読み出しを行う手法が一般的であるが、必要なワード線電位などの条件により複数のベリファイ手法を組み合わせて使用することも可能である。

【0045】

(第2実施形態)

図11は、読み出し時に選択セルを流れるセル電流の時間推移を示した図である。選択したビット線BLを所定の電位に昇圧し、選択ゲート及び非選択WLをオンさせる。この時選択したワード線WLには判定を行いたいしきい値に対応した電位を与える。ベリファイ時の場合は、選択セルの満たさなければならない最低しきい値、即ち V_{verify} を与える場合もあるが、セルトランジスタ特性などから選択セルのしきい値を最も精度よく算出可能な電位に設定しても良い。選択セルのしきい値が V_{verify} に対して低い場合は、セル電流が流れてビット線の電位が低下していく。逆に選択セルのしきい値が高い場合、セル電流は流れずビット線電位は高いまま保持される。選択セルのしきい値が V_{verify} より低い場合でも、セルトランジスタの電流特性により、セル電流は選択セルのしきい値が V_{verify} に近づくに従って減少していく。ビット線電位の時間推移は、ビット線容量をセル電流で放電する過渡特性であり、セル電流が多いほど短時間でビット線電位は低下し、セル電流が少ないとビット線電位の低下は遅くなる。

【0046】

上記特性を利用したベリファイ方法を図12に示す。図12は、しきい値が $V_{verify} - \Delta V_{pgm} \times 4$ 、 $V_{verify} - \Delta V_{pgm} \times 3$ 、 $V_{verify} - \Delta V_{pgm} \times 2$ 、 $V_{verify} - \Delta V_{pgm} \times 1$ 、 V_{verify} 、の場合のセル電流の時間推移を示す。ビット線BLには、ビット線電位が所定の電位 V_{sense} を下回った時間（放電時間）を記憶する回路を接続する。上記しきい値の場合の放電時間をそれぞれ、 T_{sense1} 、 T_{sense2} 、 T_{sense3} 、 T_{sense4} 、 T_{sense5} 、とする。セル電流とビット線の放電特性とは一対一に対応するため、上記放電時間から選択セルのしきい値を算出することが

できる。そのため、放電時間を測定し、書き込み時のビット線電位に反映させることにより、しきい値の制御精度の劣化を最低限に抑えながら、高速な書き込み動作が可能となる。放電時間と選択セルのしきい値、書き込み時のビット線電位の組み合わせの一例を表 1 に示す。

【 0 0 4 7 】

【表 1】

表 1

放電時間	算出される閾値	書き込み時BL電位	書き込み後の閾値
Tsense1	$V_{verify} - \Delta V_{pgm} \times 4$	VBLpgm	Vverify
Tsense2	$V_{verify} - \Delta V_{pgm} \times 3$	$VBLpgm + \Delta V_{pgm} \times 1$	Vverify
Tsense3	$V_{verify} - \Delta V_{pgm} \times 2$	$VBLpgm + \Delta V_{pgm} \times 2$	Vverify
Tsense4	$V_{verify} - \Delta V_{pgm} \times 1$	$VBLpgm + \Delta V_{pgm} \times 3$	Vverify
Tsense5	Vverify	VBLinhibit	Vverify

※書き込みには、ベリファイ前に行った書き込み電位より、 $\Delta V_{pgm} \times 4$ だけ高い電位を使用する。

第 2 実施形態での放電時間と、書き込み時のビット線電位との関係を図 1 3 に示す。表 1 に示した例は図中の白丸で表すが、放電時間を連続的な値で記録し、かつ書き込み時のビット線電位も連側的な電位を設定すれば、書き込み後のしきい値分布幅は限りなく 0 に近づけることが可能である。その場合のビット線電位は、図 1 3 中の直線によって規定される。放電時間が Tsense1 より短いものは、選択セルのしきい値がまだ低すぎるため、ビット線に VBLpgm を与えて書き込み状態とする。逆に Tsense5 より長いものは、選択セルのしきい値が Vverify を超えているので、ビット線に VBLinhibit を与えて書き込み禁止状態とする。

【 0 0 4 8 】

(第 3 実施形態)

別のベリファイ方法を利用した第 3 実施形態を図 1 4 に示す。図 1 4 は、読み出し時に選択セルを流れるセル電流の時間推移を示した図である。本第 3 実施形態が第 2 実施形態と異なるところは次の通りである。第 2 実施形態では、選択セルのしきい値を、ベリファイ動作においてビット線の電位が所定電位 V_{sense} に達する時間に基づき検知した。対して本第 3 実施形態では、選択セルのしきい値

を、ベリファイ動作において所定時間 T_{sense} 経過時のビット線の電位に基づき検知する。図 1 4 は、しきい値が $V_{verify} - \Delta V_{pgm} \times 4$ 、 $V_{verify} - \Delta V_{pgm} \times 3$ 、 $V_{verify} - \Delta V_{pgm} \times 2$ 、 $V_{verify} - \Delta V_{pgm} \times 1$ 、 V_{verify} 、の場合のセル電流の時間推移を示す。ビット線 BL には、所定時間 T_{sense} 経過時のビット線の電位を記憶する回路を接続する。上記しきい値の場合の放電後のビット線電位をそれぞれ、 V_{sense1} 、 V_{sense2} 、 V_{sense3} 、 V_{sense4} 、 V_{sense5} 、とする。セル電流とビット線の放電特性とは一対一に対応するため、上記放電後のビット線電位から選択セルのしきい値を算出することができる。そのため、放電後のビット線電位を測定し、書き込み時のビット線電位に反映させることにより、しきい値の制御精度の劣化を最低限に抑えながら、高速な書き込み動作が可能となる。放電後のビット線電位と選択セルのしきい値、書き込み時のビット線電位の組み合わせの一例を表 2 に示す。

【 0 0 4 9 】

【表 2】

表 2

放電後のBL電位	算出される閾値	書き込み時BL電位	書き込み後閾値
V_{sense1}	$V_{verify} - \Delta V_{pgm} \times 4$	V_{BLpgm}	V_{verify}
V_{sense2}	$V_{verify} - \Delta V_{pgm} \times 3$	$V_{BLpgm} + \Delta V_{pgm} \times 1$	V_{verify}
V_{sense3}	$V_{verify} - \Delta V_{pgm} \times 2$	$V_{BLpgm} + \Delta V_{pgm} \times 2$	V_{verify}
V_{sense4}	$V_{verify} - \Delta V_{pgm} \times 1$	$V_{BLpgm} + \Delta V_{pgm} \times 3$	V_{verify}
V_{sense5}	V_{verify}	$V_{BLinhibit}$	V_{verify}

※書き込みには、ベリファイ前に行った書き込み電位より、 $\Delta V_{pgm} \times 4$ だけ高い電位を使用する。

第 3 実施形態での放電後のビット線 BL 電位と、書き込み時のビット線電位との関係を図 1 5 に示す。表 2 に示した例は図中の白丸で表すが、放電後のビット線電位を連続的な値で記録し、かつ書き込み時の BL 電位も連側的な電位を設定すれば、書き込み後のしきい値分布幅は限りなく 0 に近づけることが可能である。その場合のビット線電位は、図 1 5 中の直線によって規定される。放電後のビット線電位が V_{sense1} より低いものは、選択セルのしきい値がまだ低すぎるため、ビット線に V_{BLpgm} を与えて書き込み状態とする。逆に V_{sense5} より高いものは

、選択セルのしきい値がV_{verify}を超えているので、ビット線にV_{BL inhibit}を与えて書き込み禁止状態とする。

【0050】

(第4実施形態)

第4実施形態として、上記第1～第3実施形態に不揮発性半導体記憶装置を実現できる装置構成の一例を説明する。

【0051】

図16は、第4実施形態に係る不揮発性半導体記憶装置を示すブロック図である。

【0052】

図16に示すように、列方向(COLUMN)に沿って複数のビット線B_L(B_L_{k-1}～B_L_{k+1})が形成されている。ビット線B_Lには、それぞれ不揮発性メモリセルトランジスタMCを含むメモリセルが接続されている。本例ではメモリセルの一例としてNAND型セル(NAND cell)を例示する。列方向と交差する行方向(ROW)に沿って並ぶセルトランジスタMCのゲート電極は、ワード線W_L(W_L₁～W_L₈)を介して各々接続されている。ビット線B_Lにはそれぞれ、データ読み出し時に、初期充電電位、例えば、読み出し電位(V_{BL read})を与える充電回路1、及びビット線駆動回路2がそれぞれ接続されている。充電回路1にはそれぞれ、例えば、読み出し制御信号S_{read}が与えられる。充電回路1は制御信号S_{read}に従ってビット線B_Lを初期充電電位に充電する。これにより、一つのワード線W_Lに接続された複数のセルトランジスタMCからデータが同時に読み出される。駆動回路2にはそれぞれ、検知回路(Detection CKT.) 21、記憶回路(Storage CKT.) 22、電位設定回路23が含まれている。検知回路21は、例えば、書き込みベリファイ動作においてセルトランジスタのしきい値を検知する。検知回路21の具体的一例はセンス回路である。記憶回路22は、検知回路21によって検知されたしきい値を記憶する。記憶回路22の具体的一例はデータラッチ回路である。記憶回路22は、第1実施形態に従えば2回以上行ったベリファイ読み出しの結果を記憶し、第2実施形態に従えばビット線B_Lの電位が所定電位V_{sense}に達した時間を記憶し、第3実施形態に従えば所定時

間 T sense 経過時のビット線 B L の電位を記憶する。このようにして記憶回路 2 2 は、選択セルのしきい値を記憶する。電位設定回路 2 3 は、記憶回路 2 2 に記憶されたしきい値に基づき、書き込みベリファイ動作に続く書き込み動作においてビット線 B L の電位を、データ書き込みを禁止する書き込み禁止電位 V B L inhibit、データ書き込みを行う書き込み電位 V B L pgm、及び V B L inhibit と V B L pgm との間の電位を持ち、書き込み量を抑制しながらデータ書き込みを行う書き込み抑制電位 $V B L pgm + \Delta V pgm$ に設定する。不揮発性半導体記憶装置を、例えば、上記構成とすることにより、第 1 ～ 第 3 実施形態により説明した電位制御、ベリファイ動作を実現することができる。なお、図 1 6 には、ビット線 B L k - 1 を V B L inhibit (V 3) に、ビット線 B L k を V B L pgm (V 1) に、ビット線 B L k + 1 を $V B L pgm + \Delta V pgm$ (V 2) に設定している状態が示されている。

【 0 0 5 3 】

(第 5 実施形態)

第 5 実施形態として、上記実施形態で説明した不揮発性半導体記憶装置を使用したアプリケーションの一例を説明する。

【 0 0 5 4 】

図 1 7 は、この発明の第 5 実施形態に係るメモリカードの一例を示すブロック図である。

【 0 0 5 5 】

図 1 7 に示すように、メモリカード 9 7 には、主記憶であるメモリチップ (Flash memory) 9 2 と、メモリチップ 9 2 を制御するコントローラチップ (controller) 9 1 とが含まれている。図 1 7 には、コントローラチップ 9 1 に含まれるいくつかの回路ブロックのうち、特に主記憶に関する回路ブロックのみを説明する。

【 0 0 5 6 】

主記憶に関する回路ブロックとしては、例えば、シリアル／パラレル及びパラレル／シリアルインターフェース (Serial/Parallel and Parallel/Serial Interface) 9 3、ページバッファ (Page Buffer) 9 4、メモリインターフェース

(Memory Interface) 95が含まれる。

【0057】

インターフェース93は、データをメモリチップ92に書き込む際、例えば、シリアルな入力データ (Input data) を、パラレルな内部データに変換する。変換されたパラレルな内部データは、ページバッファ94に入力され、ここに蓄積される。蓄積された内部データは、メモリインターフェース95を介して、メモリチップ92に書き込まれる。

【0058】

また、データを、メモリカード97から読み出す際には、メモリチップ92から読み出したデータを、メモリインターフェース95を介して、ページバッファ94に入力し、ここに蓄積する。蓄積された内部データは、インターフェース93に入力され、ここでパラレルな内部データが、シリアルな出力データ (Output data) に変換されて、メモリカード97の外に出力される。

【0059】

このようなコントローラチップ91、及びメモリチップ92が、図17に示すように、カード型外装体 (Card type Package) に収容、あるいは搭載、あるいは貼り付けられることで、メモリカードとして機能する。

【0060】

上記実施形態により説明した不揮発性半導体記憶装置は、メモリチップ92内のメモリ回路96に使用される。上記実施形態により説明した半導体記憶装置は、高速な書き込み動作を行いつつ、かつ高精度なしきい値分布幅制御を可能とする。従って、上記実施形態に係る半導体記憶装置を使用したメモリカード97によれば、メモリカード97と、これが接続される電子機器との間でのデータのやりとり、特に電子機器からのデータ書き込みを高速に行える、という利点を得ることができる。この利点故に、上記実施形態に係る半導体記憶装置を使用したメモリカード97は、高速なデータ書き込みを要求される電子機器、例えば、ビデオカメラ、デジタルスチルカメラ、パーソナルデジタルアシスタント等の記録メディアとして有用である。

【0061】

以上、上記実施形態に係る不揮発性半導体記憶装置によれば、書き込みペリファイの結果に従い、ビット線電位を個別に制御することにより、メモリセルのしきい値の制御精度を劣化させずに書き込み動作の高速化を図ることができる。

【0062】

また、この発明は、上記実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。例えば、上記実施形態ではメモリセルの一例としてNAND型セルを例示したが、この発明はNAND型セルを含むNAND型不揮発性半導体記憶装置に限って適用されるものではない。例えば、図18に示すように、AND型セルを含むAND型不揮発性半導体記憶装置にも適用することができるし、NAND型、AND型以外の不揮発性半導体記憶装置にも適用することができる。

【0063】

また、上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせることも、もちろん可能である。

【0064】

また、上記実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0065】

また、上記実施形態では、この発明を不揮発性半導体記憶装置に適用した例に基づき説明したが、上述したような不揮発性半導体記憶装置を内蔵した半導体集積回路装置、例えばプロセッサ、システムLSI等もまた、この発明の範疇である。

【0066】

【発明の効果】

この発明によれば、高速な書き込み動作を行いつつ、かつ高精度なしきい値分布幅制御を可能とする不揮発性半導体記憶装置及びそのデータ書き込み方法を提供できる。

【図面の簡単な説明】

【図 1】

図 1 は典型例に係る不揮発性半導体記憶装置を示すブロック図

【図 2】

図 2 は典型例に係る不揮発性半導体記憶装置が行うペリファイ動作を示す流れ図

【図 3】

図 3 は典型例に係る不揮発性半導体記憶装置の動作波形を示す動作波形図

【図 4】

図 4 はペリファイ前後のしきい値分布を示す図

【図 5】

図 5 A、図 5 B、図 5 C 及び図 5 D はこの発明の第 1 実施形態に係る不揮発性半導体記憶装置が行う電位制御の一例を示す図

【図 6】

図 6 はこの発明の第 1 実施形態に係る不揮発性半導体記憶装置が行うペリファイ動作の第 1 例を示す流れ図

【図 7】

図 7 はこの発明の第 1 実施形態に係る不揮発性半導体記憶装置の動作波形の第 1 例を示す動作波形図

【図 8】

図 8 はこの発明の第 1 実施形態に係る不揮発性半導体記憶装置が行うペリファイ動作の第 2 例を示す流れ図

【図 9】

図 9 はこの発明の第 1 実施形態に係る不揮発性半導体記憶装置の動作波形の第 2 例を示す動作波形図

【図 1 0】

図 1 0 はこの発明の第 1 実施形態の書き込みと典型的な書き込みとを対比して示す図

【図 1 1】

図 1 1 は読み出し時におけるビット線電位 V_{BL} と時間との関係を示す図

【図 12】

図 12 はこの発明の第 2 実施形態に係る不揮発性半導体記憶装置が行うベリファイ方法の一例を示す図

【図 13】

図 13 はこの発明の第 2 実施形態に係る不揮発性半導体記憶装置の書き込み時のビット線電位と放電時間との関係を示す図

【図 14】

図 14 はこの発明の第 3 実施形態に係る不揮発性半導体記憶装置が行うベリファイ方法の一例を示す図

【図 15】

図 15 はこの発明の第 3 実施形態に係る不揮発性半導体記憶装置の書き込み時のビット線電位と放電後のビット線電位との関係を示す図

【図 16】

図 16 はこの発明の第 4 実施形態に係る不揮発性半導体記憶装置を示すブロック図

【図 17】

図 17 はこの発明の第 5 実施形態に係るメモリカードの一例を示すブロック図

【図 18】 図 18 はこの発明を適用できる不揮発性半導体記憶装置を示すブロック図

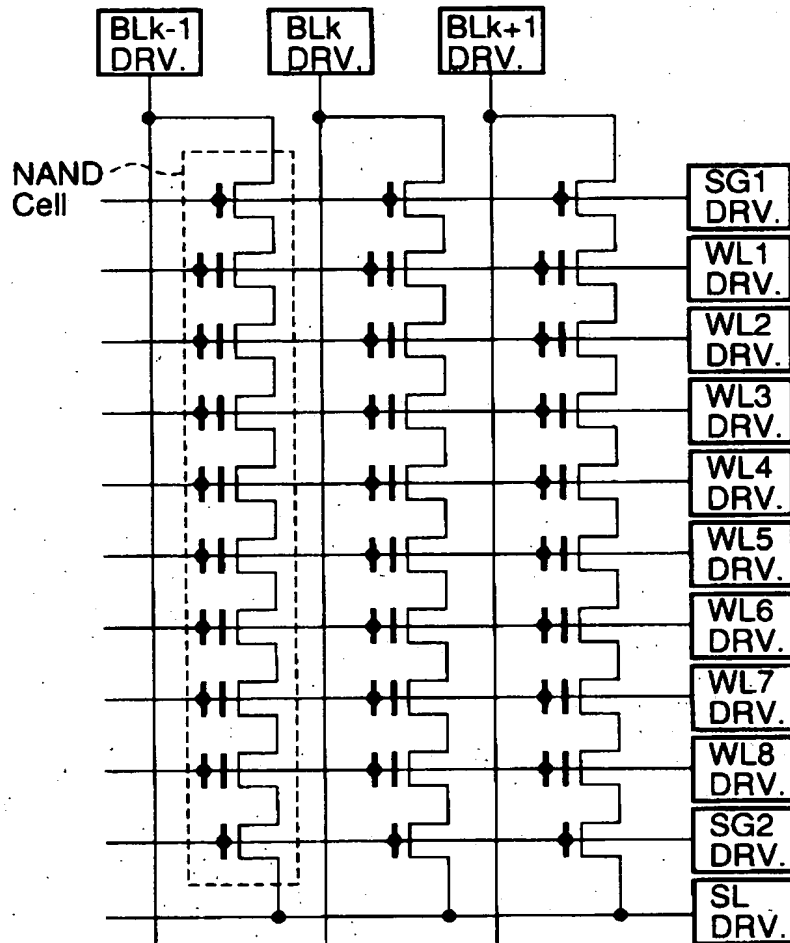
【符号の説明】

1 … 充電回路、2 … ビット線駆動回路、21 … 検知回路、22 … 記憶回路、23 … 電位設定回路、91 … コントローラチップ、92 … メモリチップ、93 … シリアル／パラレル及びパラレル／シリアルインターフェース、94 … ページバッファ、95 … メモリインターフェース、96 … メモリ回路、97 … メモリカード

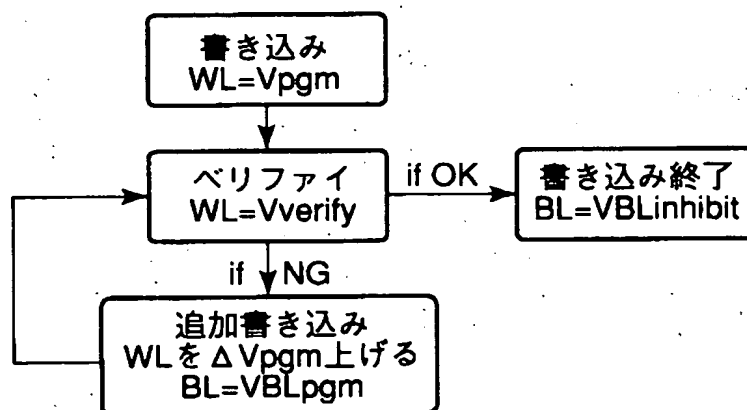
【書類名】

図面

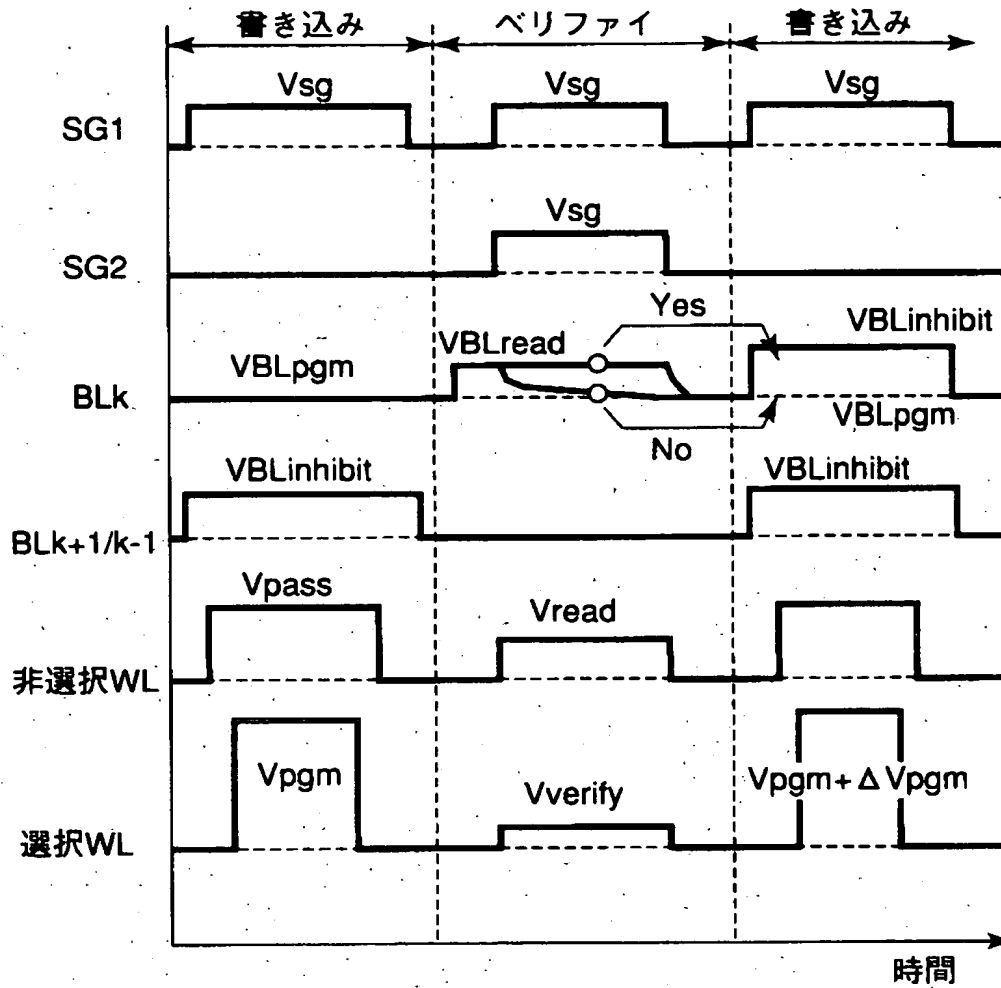
【図 1】



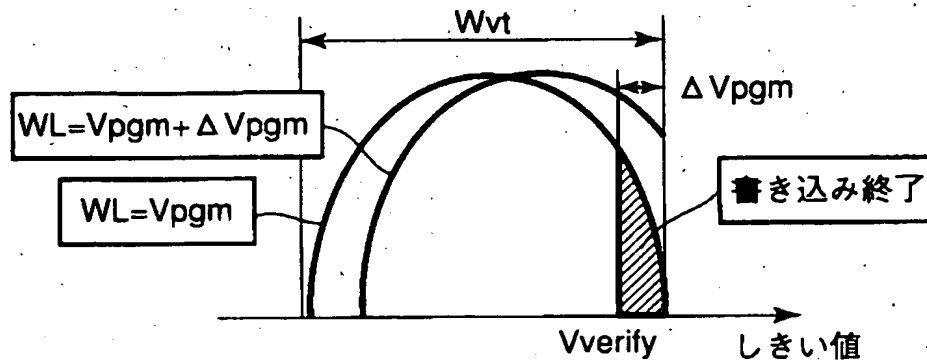
【図 2】



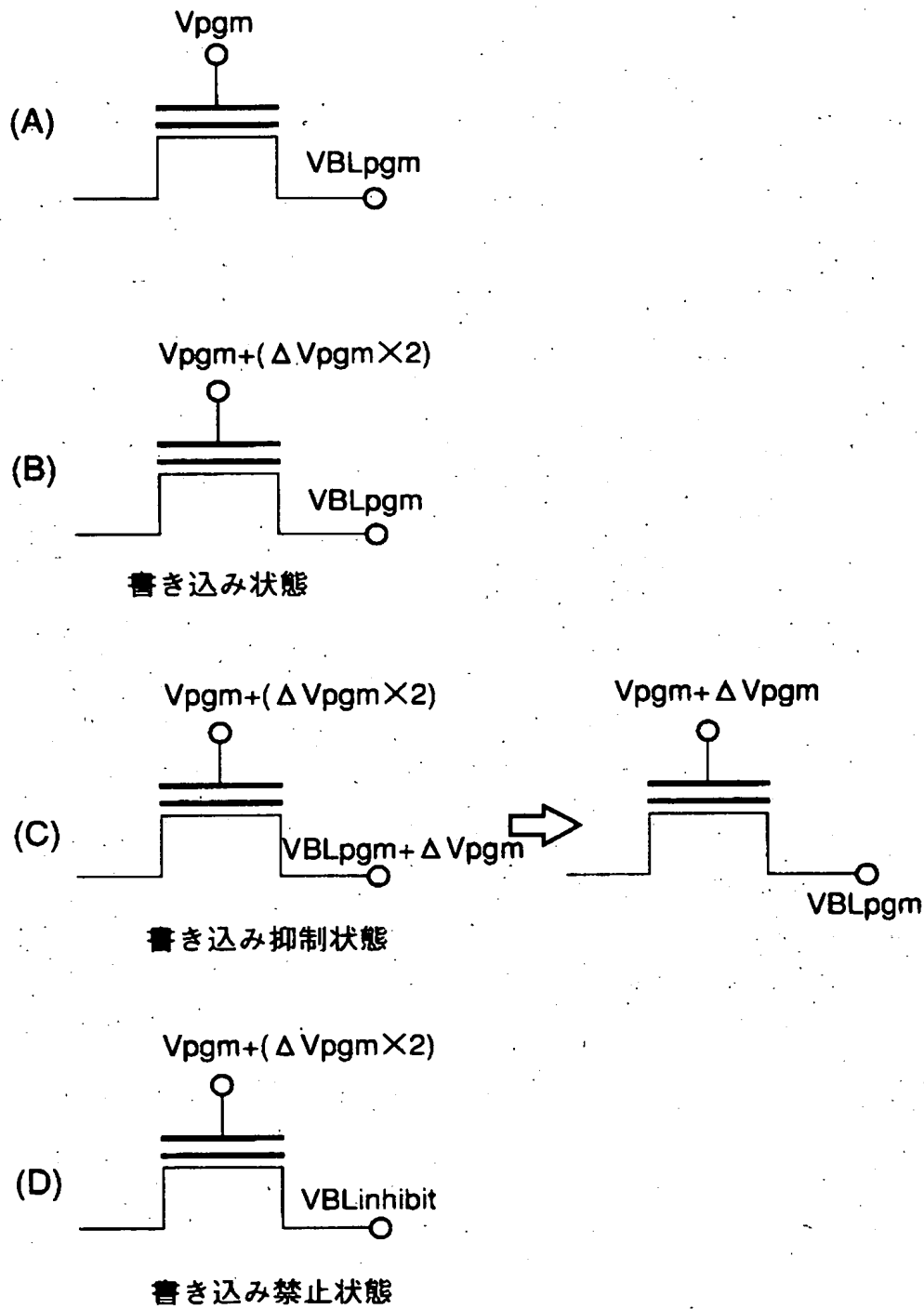
【図 3】



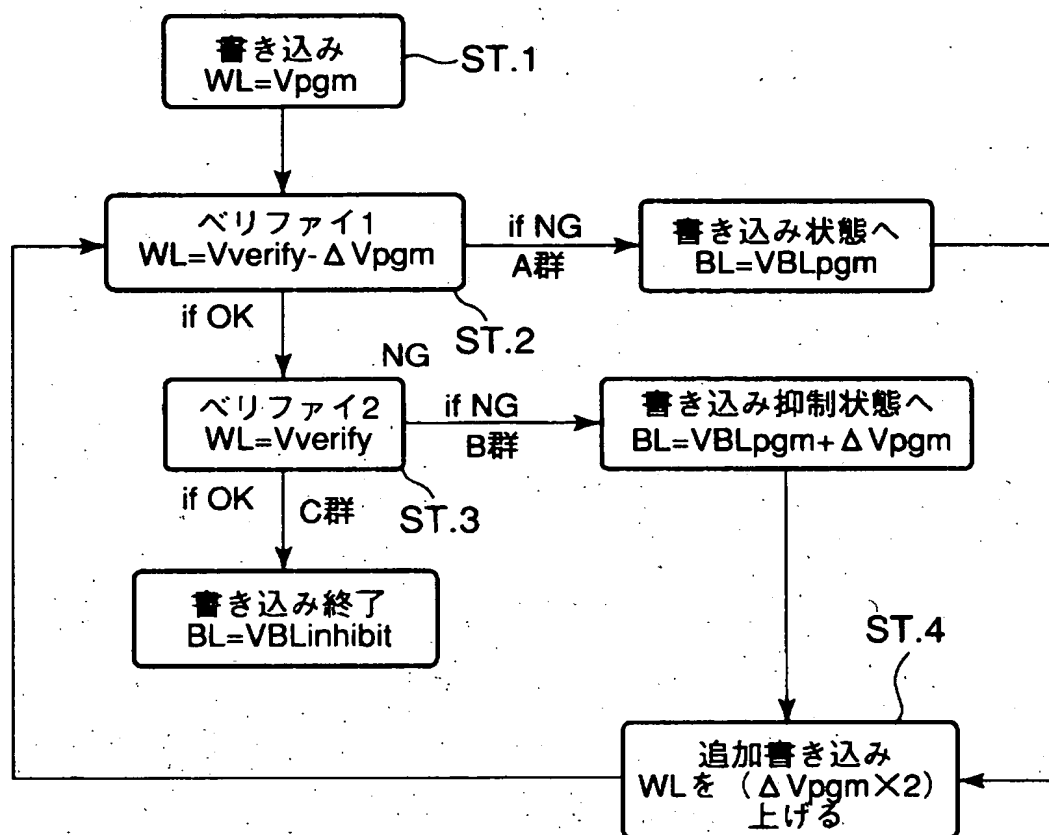
【図 4】



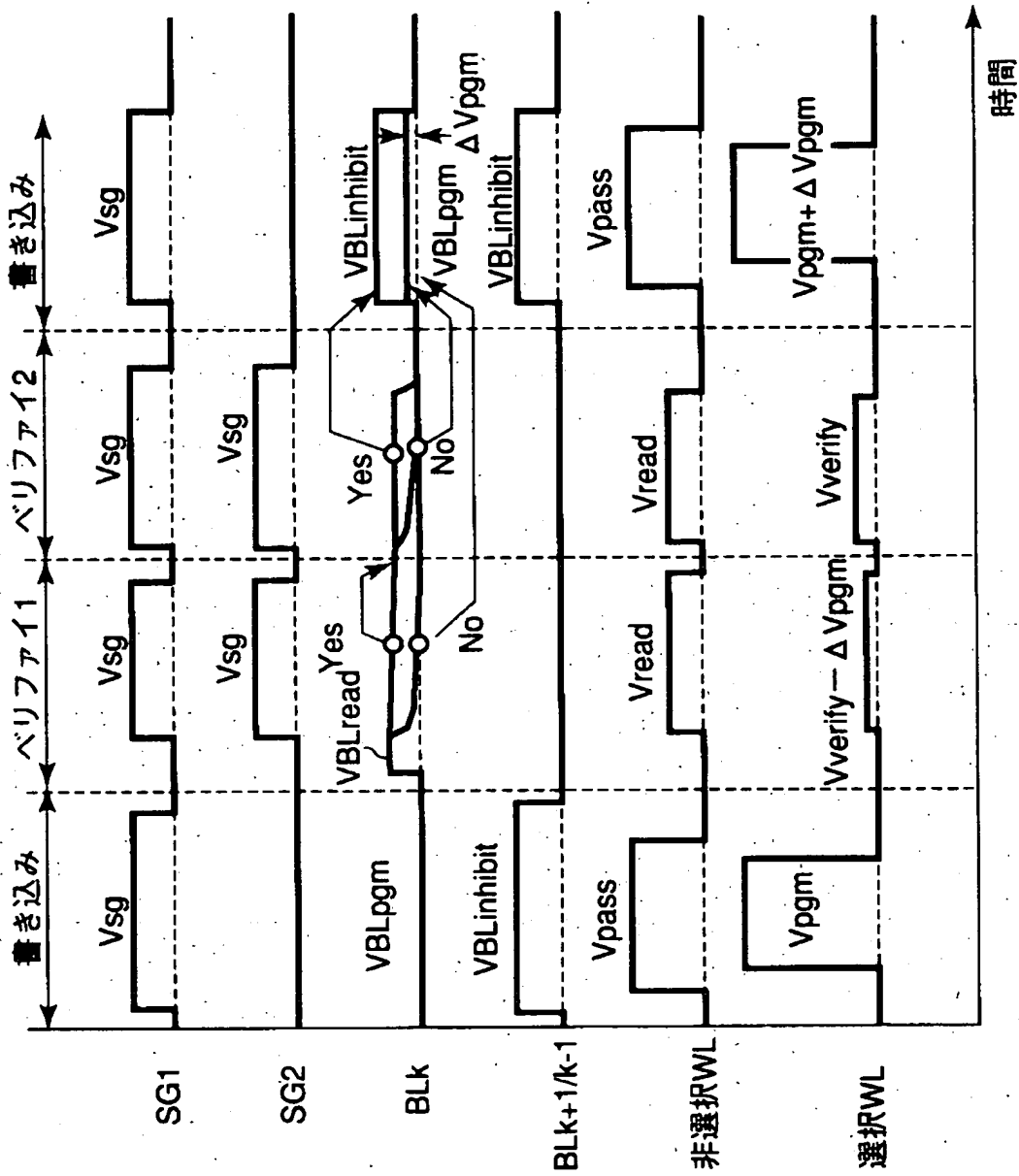
【図 5】



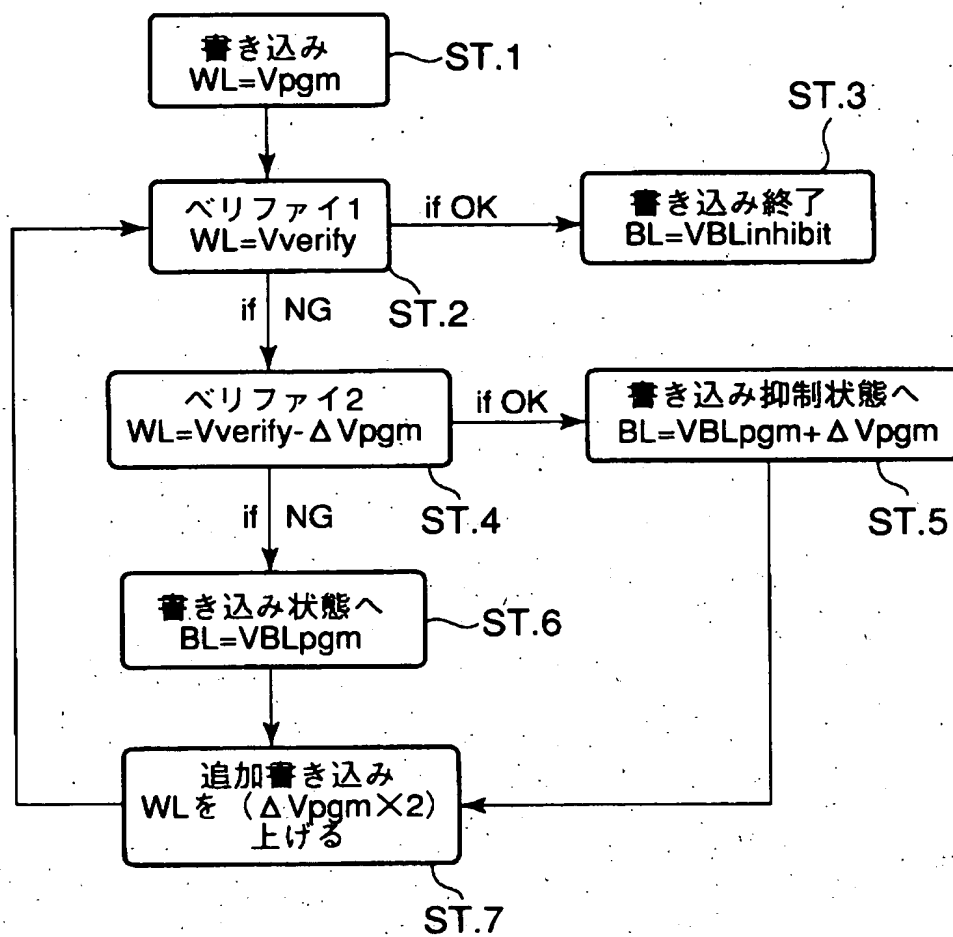
【図6】



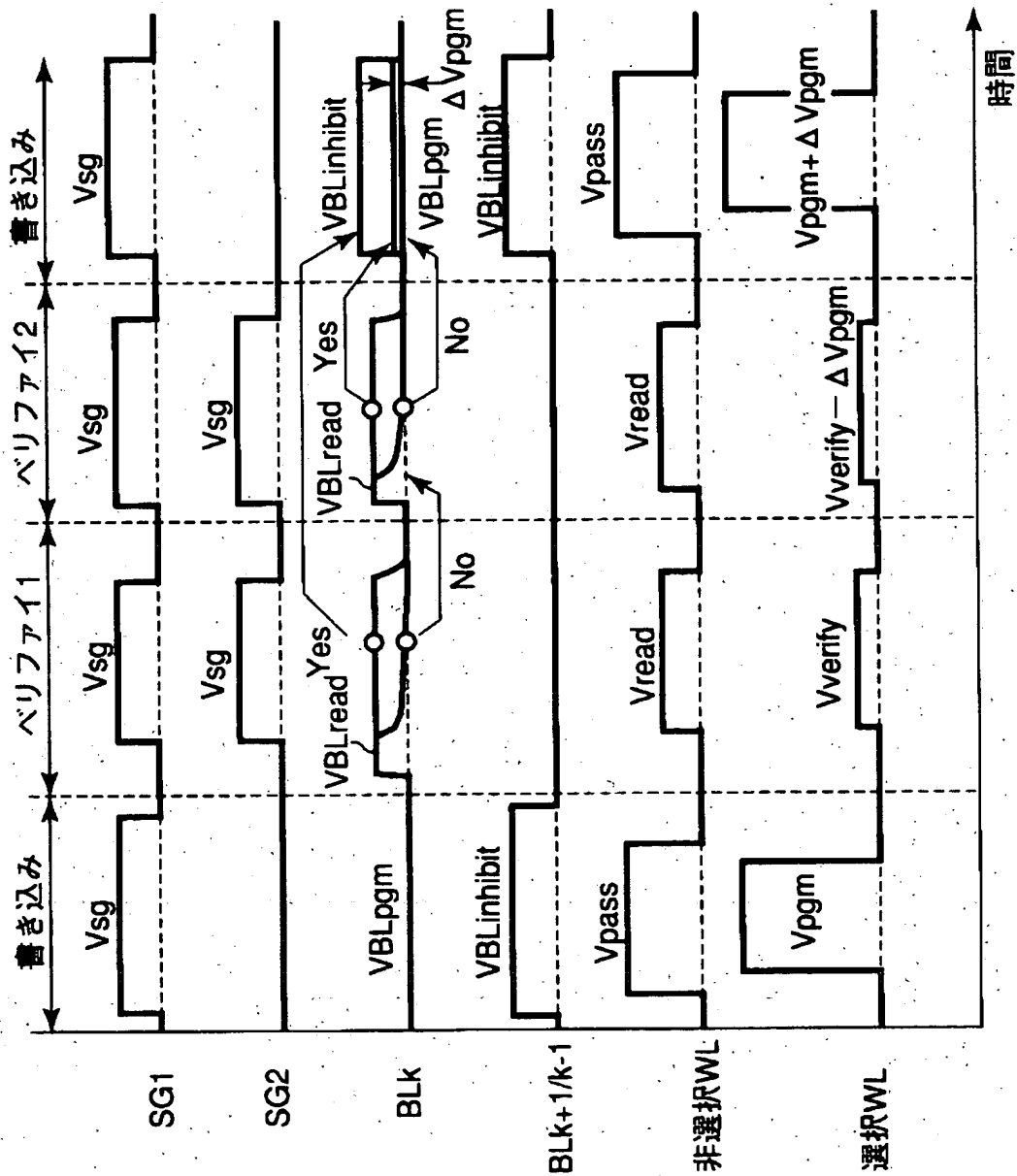
【図7】



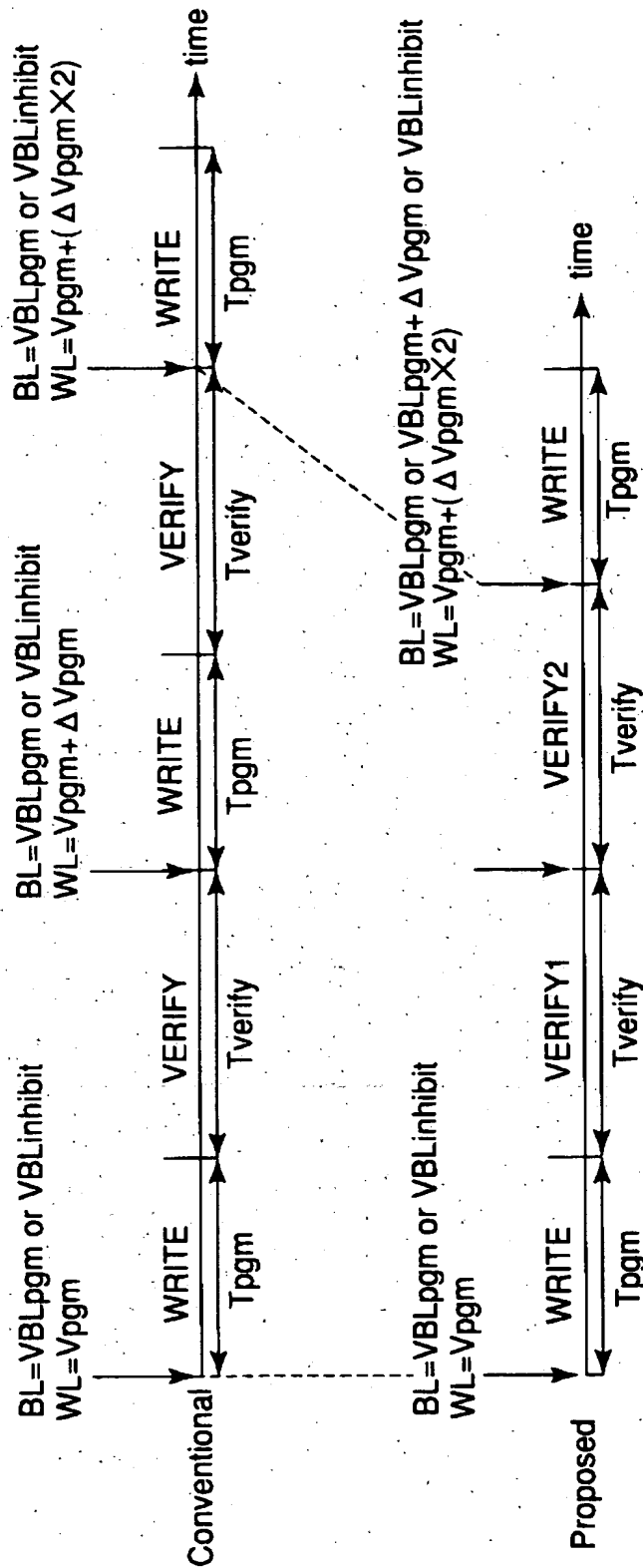
【図8】



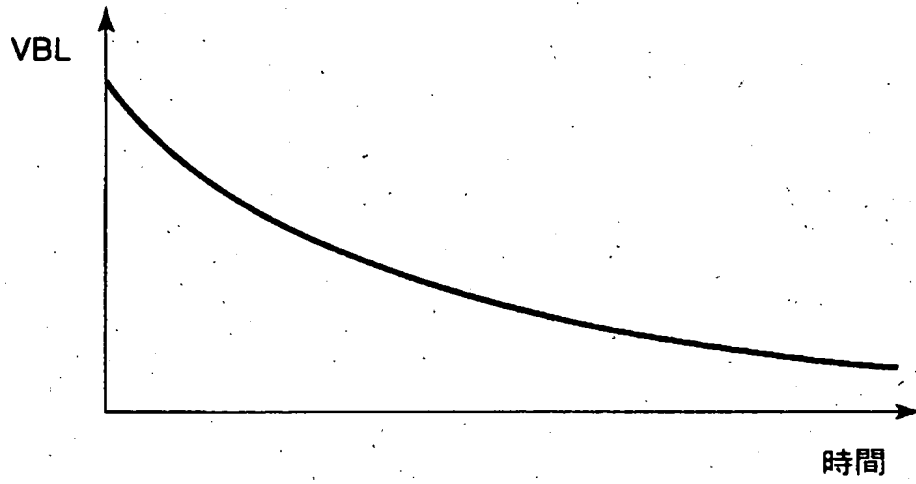
【図9】



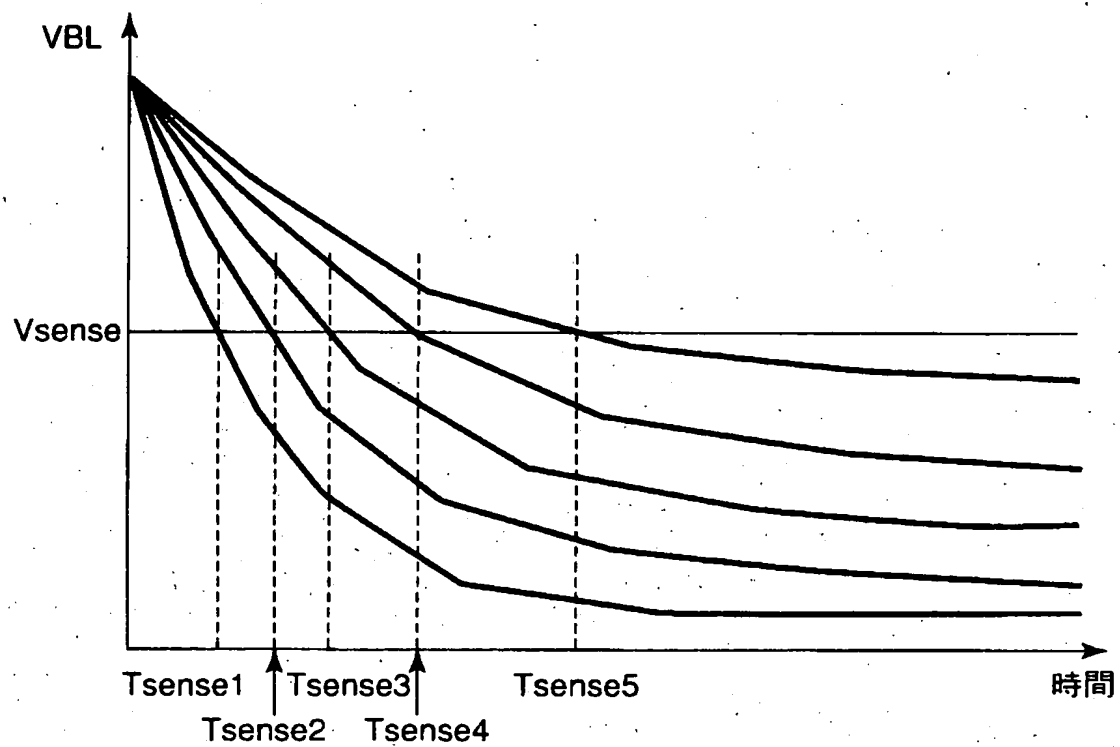
【図 10】



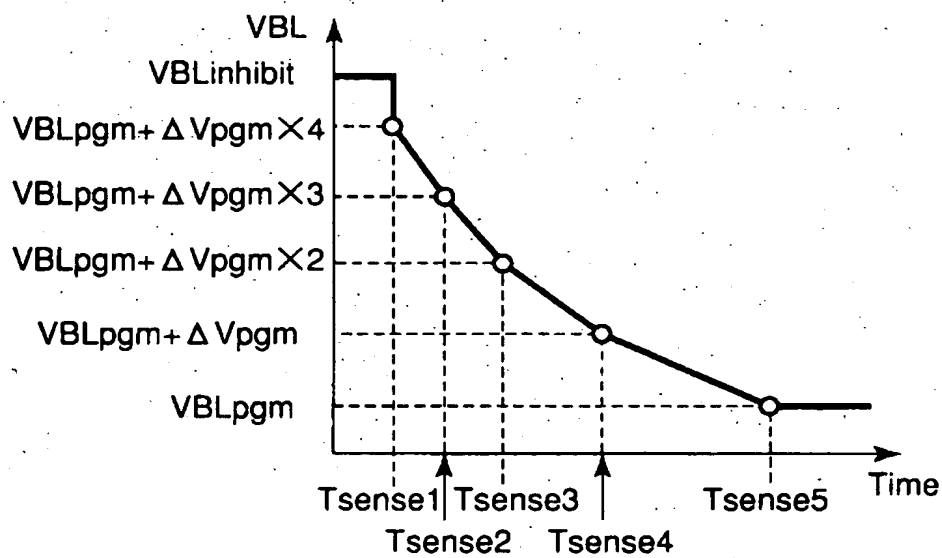
【図 1 1】



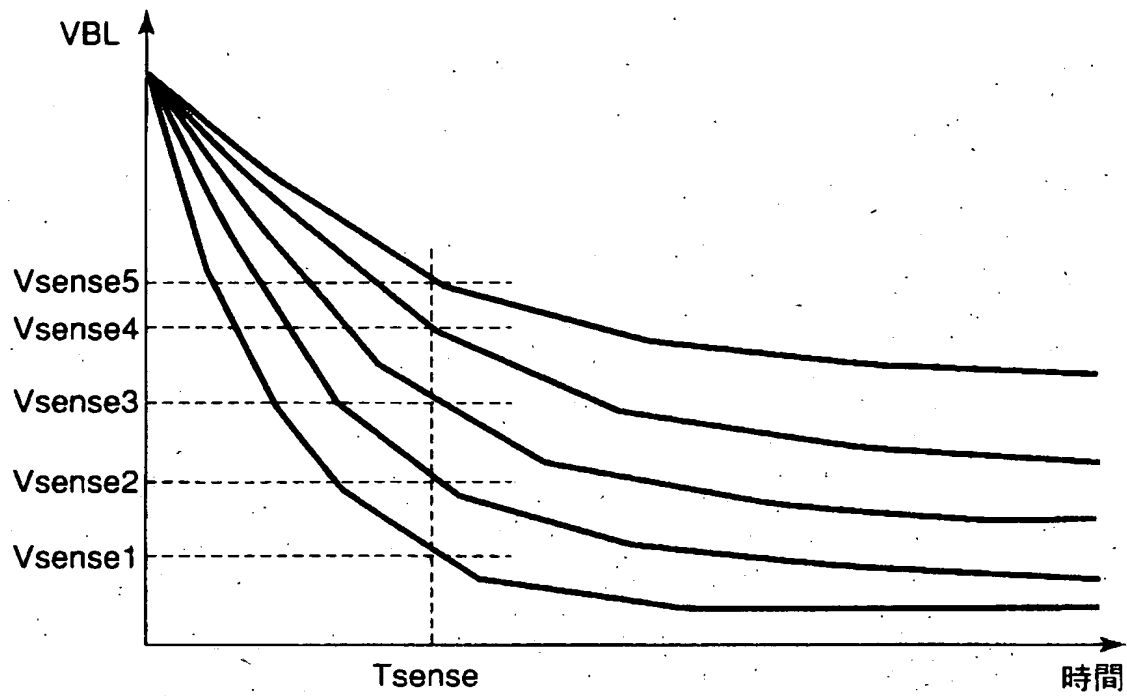
【図 12】



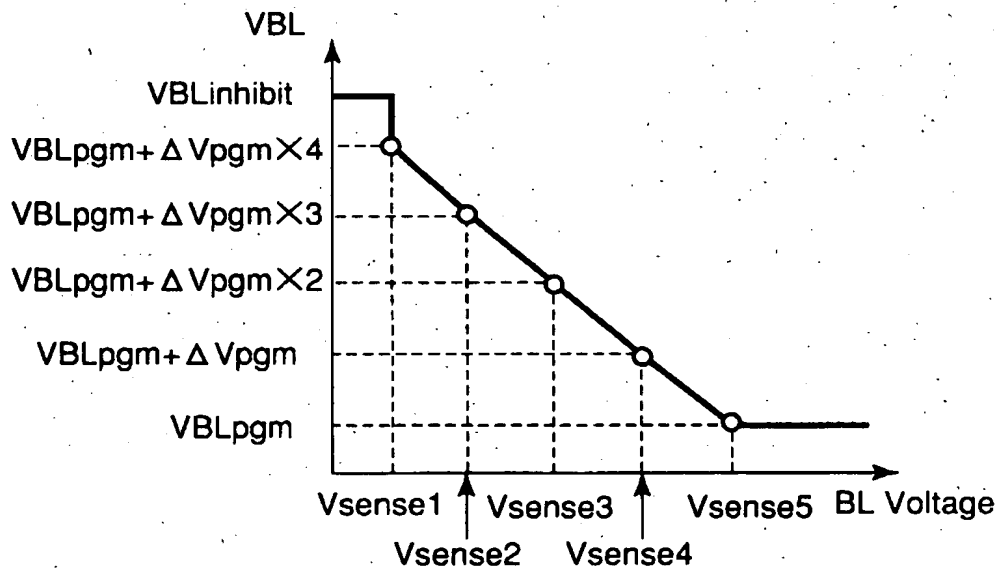
【図 13】



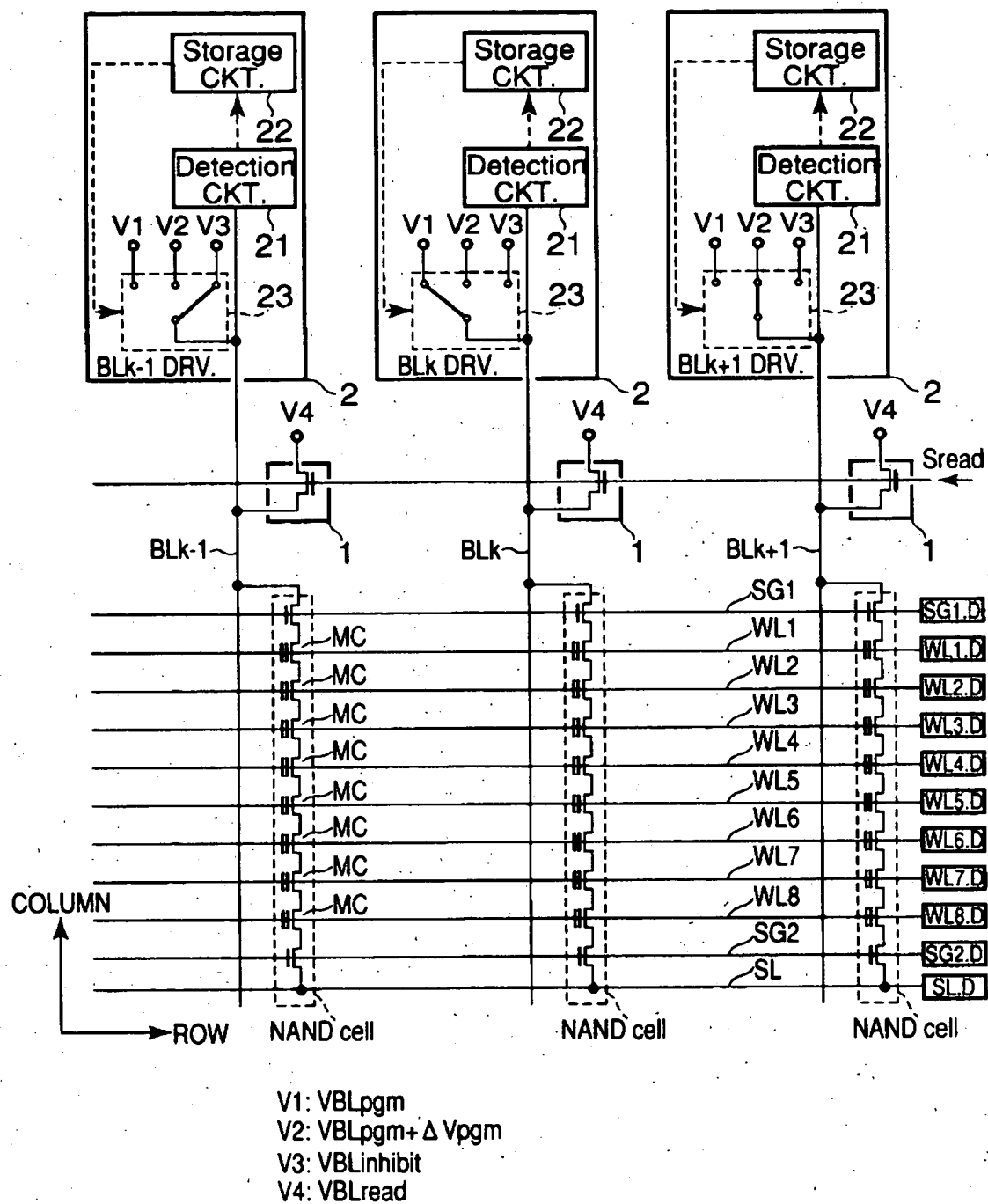
【図 14】



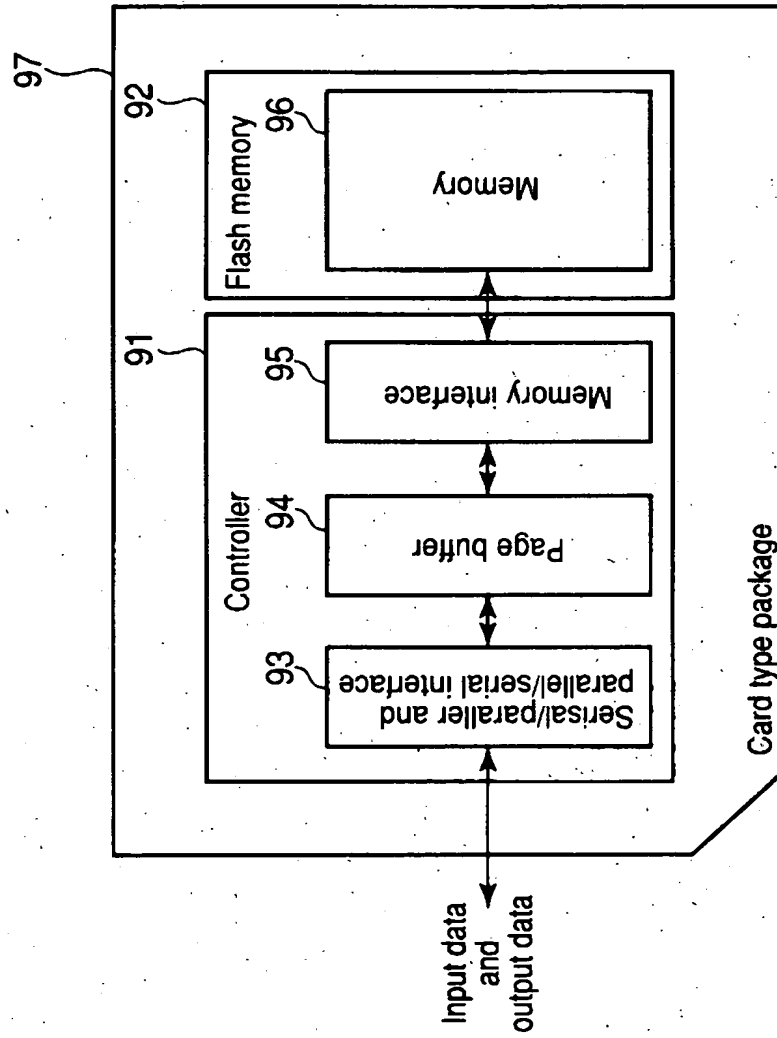
【図 15】



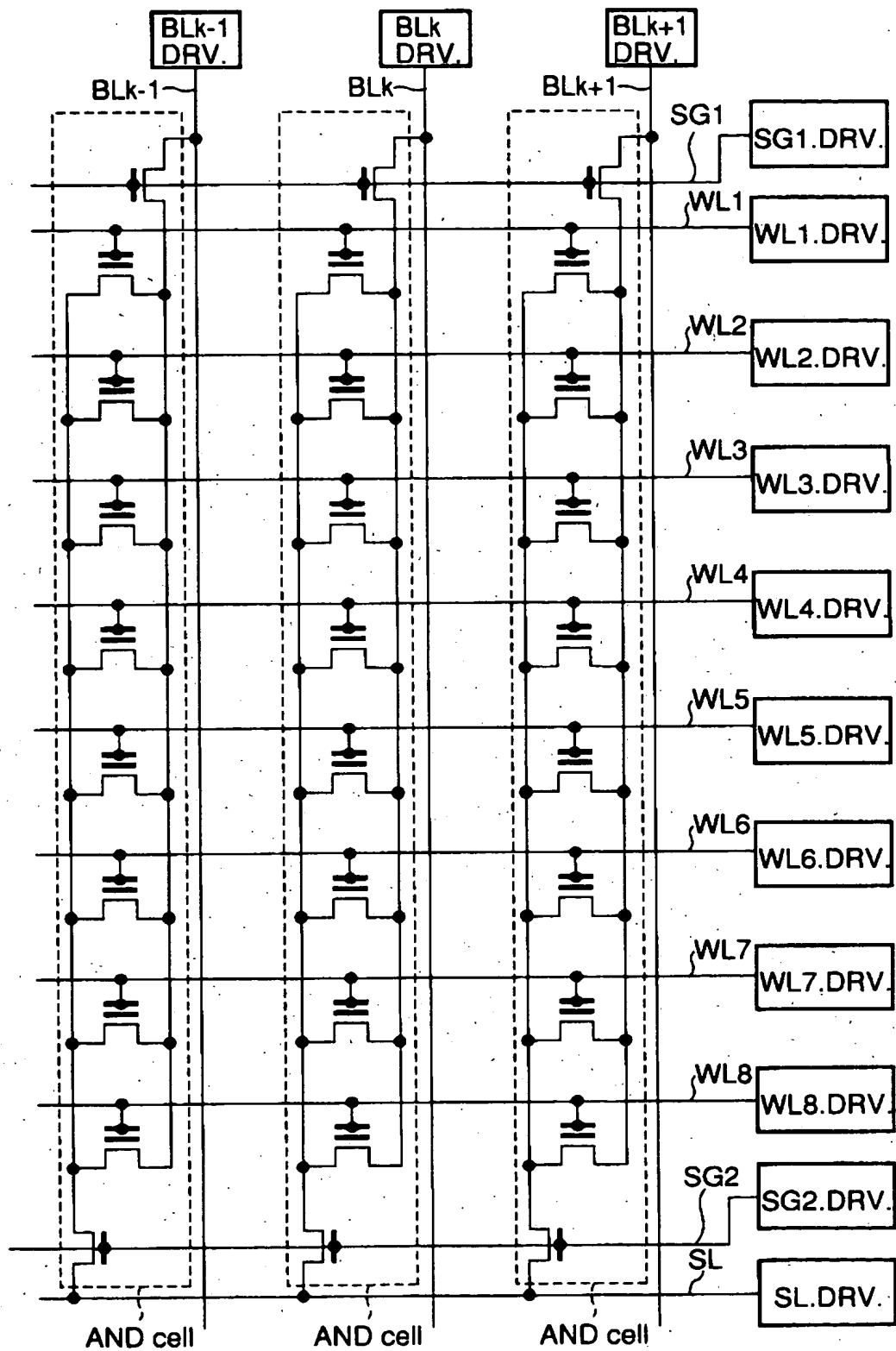
【図 16】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 高速な書き込み動作を行いつつ、かつ高精度なしきい値分布幅制御を可能とする不揮発性半導体記憶装置を提供すること。

【解決手段】 複数の配線(BL)それぞれに接続された不揮発性メモリセルトランジスタ(MC)を含むメモリセル(NAND cell)と、ロウ方向(ROW)に沿って並ぶセルトランジスタのゲート電極を各々接続するワード線(WL)と、複数の配線それぞれに接続された駆動回路(2)とを具備する。そして、駆動回路は、ベリファイ動作においてセルトランジスタのしきい値を検知する検知回路(21)、検知されたしきい値を記憶する記憶回路(22)、及び記憶回路に記憶されたしきい値に基づき、ベリファイ動作に続く書き込み動作において配線(BL)の電位を3つ以上の電位(V1~V3)に設定する電位設定回路(23)を具備する。

【選択図】 図16

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝